



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01233858 A**(43) Date of publication of application: **19.09.89**

(51) Int. Cl.

H04L 11/20(21) Application number: **63059320**(22) Date of filing: **15.03.88**

(71) Applicant:

FUJITSU LTD

(72) Inventor:

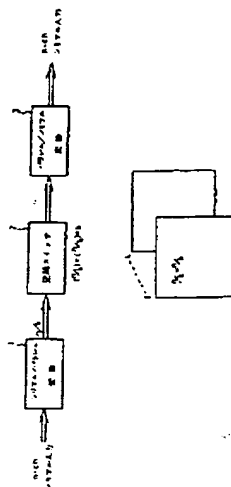
**EZAKI YUTAKA
SHINOMIYA TOMOHIRO
IGUCHI KAZUO**(54) **DIGITAL EXCHANGE**

COPYRIGHT: (C)1989,JPO&Japio

(57) Abstract:

PURPOSE: To reduce the number of switches of a spatial switch circuit in an exchange by providing a serial/parallel conversion circuit and a parallel/serial conversion circuit.

CONSTITUTION: Each packet signal consists of a header and a data and the packet signals are inputted to a serial/parallel conversion circuit 1 serially. The serial/parallel conversion circuit 1 converts the signal into plural parallel packet signals at every packet, for example. A spatial switch circuit 2 is provided with (k) switches disposed respectively in $(n/k) \times (n/k)$ matrix. Thus, the total switch number is n^2/k . Each matrix switch applies parallel conversion processing to the parallel conversion packet signal from the serial/parallel circuit 1. The parallel/serial conversion circuit 3 converts the signal into the parallel signal converted by the circuit 2. Thus, the number of switches of the spatial switch circuit is considerably reduced.



⑫ 公開特許公報(A) 平1-233858

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)9月19日

H 04 L 11/20

Z-7830-5K

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 デジタル交換機

⑯ 特 願 昭63-59320

⑰ 出 願 昭63(1988)3月15日

⑱ 発 明 者 江 崎 裕 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 篠 宮 知 宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 井 口 一 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 青 木 朗 外3名

明 細 書

1. 発明の名称

デジタル交換機

2. 特許請求の範囲

1. それぞれが一定長ビットで全体で交換すべき全チャネル(n)を示す複数のシリアルパケット信号を複数(k)のバラレルパケット信号に変換するシリアル・バラレル変換回路(1)と、

$(n/k) \times (n/k)$ のスイッチがマトリクス状に配設されたものをk個並設し、該シリアル・バラレル変換回路からのk群のバラレルパケット信号を変換する空間スイッチ回路(2)と、

該空間スイッチ回路からのk群のバラレル変換信号をシリアルパケット信号に変換するバラレル・シリアル変換回路(3)と

を有する、デジタル交換機。

3. 発明の詳細な説明

(概 要)

ATMに基づくパケット信号用デジタル交換機に関し、

交換機内空間スイッチ回路のスイッチ個数を減少させることおよび交換速度を向上させることを目的とし、

それぞれが一定長ビットで全体で交換すべき全チャネル(n)を示す複数のシリアルパケット信号を複数(k)のバラレルパケット信号に変換するシリアル・バラレル変換回路と、 $(n/k) \times (n/k)$ のスイッチがマトリクス状に配設されたものをk個並設し、該シリアル・バラレル変換回路からのk群のバラレルパケット信号を変換する空間スイッチ回路と、該空間スイッチ回路からのk群のバラレル変換信号をシリアルパケット信号に変換するバラレル・シリアル変換回路とを有する、ように構成する。

(産業上の利用分野)

本発明はデジタル交換機に関するものであり、更に詳しく述べると、ATM(Asynchronous Transfer Mode)に基づくパケット信号用デジタル交換機において空間スイッチの個数を減少さ

せるものに関する。

〔従来の技術〕

デジタル交換方式としては、現在パケット交換が広く用いられている。パケット交換は、情報を可変長のパケットに入れ、これにヘッダとして宛先情報を付加して伝送し、受信側はヘッダをソフトウェアを用いて解析して交換を行う。この解析にソフトウェアを用いているため時間がかかり、交換に時間がかかるという問題が生じている。かかる遅延は、パケット数の増大に伴って大きくなる。

広帯域ISDNで要求されるサービスには、上記遅延が許されないものがあり、上述の従来のパケット交換方式とは異なる、ATM交換方式が提案されている。ATMは、新しい多重化方式であり、セルと呼ばれるスーパーオクテット（数十オクテットで構成）を単位とする論理的な情報の入れ物に許容されたユーザーからの情報に従って、網のリソースをダイナミックに割り当てることが可能

となる。このため回線交換方式のように遅延の少ない交換が可能になると云われている。ATMのヘッダには次リンクアドレスのみが書かれているため交換機はヘッダ情報をその都度読込む必要がなく、ハードウェアのみで交換が可能である。

〔発明が解決しようとする課題〕

ATM交換方式において、交換機はシリアルに入力されるパケットデータのヘッダ部を読み込んで交換処理を行ない、シリアルで出力するようにしている。このため、 n 本 $\times n$ 本の伝送路を交換するには n^2 個のスイッチが必要となる。特に n が増大するにつれてスイッチ個数が大幅に増え、高価格、回路規模が大きくなるという問題がある。これに付随して、スイッチ回路の消費電力を増大する。更に、並列に設けられるスイッチの増大は信号の遅延を大きくし、スイッチング速度を低下させる。これらの問題を裏からみれば、実質的に交換可能なデータレートに制限が生じることを意味している。

従って、ATM交換方式においてスイッチ個数を減少させることが要望されている。

〔課題を解決するための手段〕

本発明のATMデジタルパケット交換機の原理ブロック図を第1図に示す。

第1図の交換機は、それぞれが一定長ビットで全体で交換すべき全チャネル(n)を示す複数のシリアルパケット信号を複数(k)のバラレルパケット信号に変換するシリアル・バラレル変換回路1と、 $(n/k) \times (n/k)$ のスイッチがマトリクス状に配設されたものを k 個並設し、該シリアル・バラレル変換回路からの k 群のバラレルパケット信号を変換する空間スイッチ回路2と、該空間スイッチ回路からの k 群のバラレル変換信号をシリアルパケット信号に変換するバラレル・シリアル変換回路3とから成る。

〔作用〕

ATMはシリアルにパケット信号が入力される

が、各パケット信号のデータ長は固定形式である。従って、シリアルからバラレルへの変換が容易であるという特長を有する。各パケット信号は、第2図(a)の如くヘッダとデータから成り、これらパケット信号がシリアルにシリアル・バラレル変換回路1に入力される。シリアル・バラレル変換回路1は、例えば第2図(b)に図示の如く、各パケット毎に複数のバラレルパケット信号に変換する。

空間スイッチ回路2は、第3図に構成を示すように、それぞれが $(n/k) \times (n/k)$ 個マトリクス状に配設されたスイッチが k 個並設されている。従って、全スイッチ数は n^2/k 個である。各マトリクス状スイッチがシリアル・バラレル回路1からのバラレル変換パケット信号を並列的に変換処理する。

バラレル・シリアル変換回路3は空間スイッチ回路2で変換されたバラレル信号をシリアル信号に変換する。

〔実施例〕

パケット長 $k=32$ ビット、変換路数 $n=256$ の場合、空間スイッチ回路のスイッチ数は $256^2/32=2048$ 個である。従来方法の場合のスイッチ数は $256^2=65536$ 個である。

スイッチ数はパケット当りのデータビット長が長くなる程、削減される。

〔発明の効果〕

以上に述べたように本発明によれば、空間スイッチ回路のスイッチが大幅に減少させることができる。これに伴って消費電力の低減化、回路の小規模化が実現できる。またスイッチ増加に伴う遅延も防止できる。

更に本発明によれば、空間スイッチ回路における交換処理を k 列並列処理しているのので、交換速度が向上する。

4. 図面の簡単な説明

第1図は本発明のデジタル交換機の原理ブロック図、

第2図は第1図のシリアル/パラレル変換動作説明図、

第3図は第1図の空間スイッチの構成図、である。

〔符号の説明〕

- 1…シリアル・パラレル変換回路、
- 2…空間スイッチ、
- 3…パラレル・シリアル変換回路。

特許出願人

富士通株式会社

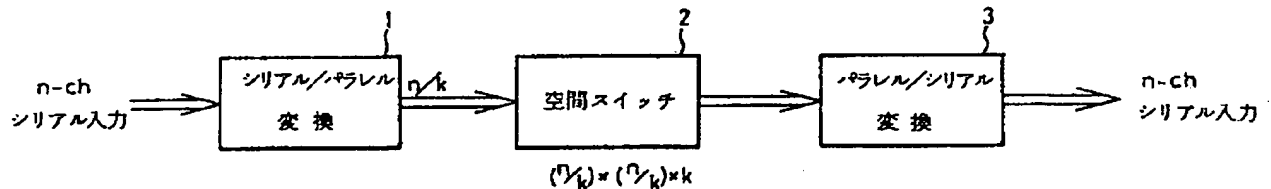
特許出願代理人

弁理士 青木 朗

弁理士 西 館 和 之

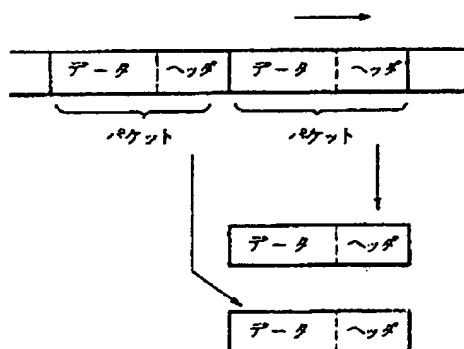
弁理士 内 田 幸 男

弁理士 山 口 昭 之



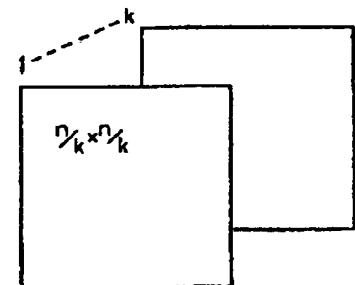
本発明のデジタル交換機の原理ブロック図

第1図



第1図のシリアル/パラレル変換動作説明図

第2図



第1図の空間スイッチの構成図

第3図